

# THIN-FILM TRANSISTOR AND DISPLAY

Publication number: JP11354802

Publication date: 1999-12-24

Inventor: SANO KEIICHI; SEGAWA YASUO; TABUCHI NORIO;  
YAMADA TSUTOMU

Applicant: SANYO ELECTRIC CO

Classification:


- international: G02F1/136; G02F1/1362; G02F1/1368; H01L21/336;  
H01L29/786; G02F1/13; H01L21/02; H01L29/66; (IPC1-  
7): H01L29/786; G02F1/136; H01L21/336

- european: G02F1/1362H; G02F1/1368; H01L29/786B4B;  
H01L29/786D; H01L29/786H

Application number: JP19980159131 19980608

Priority number(s): JP19980159131 19980608

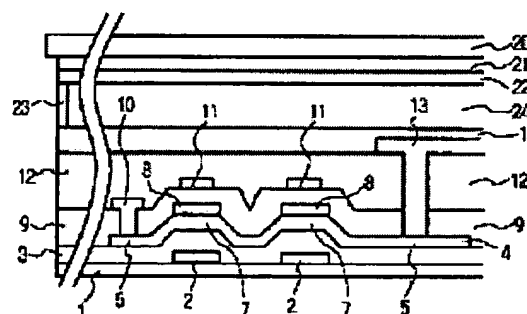
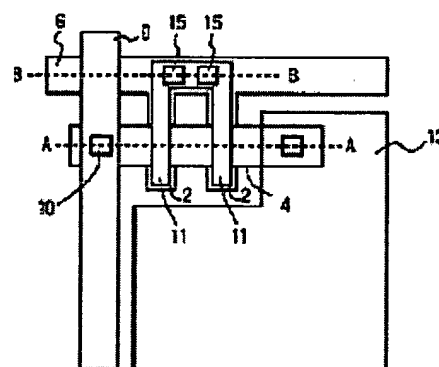
Also published as:

 US6252248 (B)

Report a data error he

## Abstract of JP11354802

**PROBLEM TO BE SOLVED:** To provide a TFT and display, wherein the threshold voltage generated due to the polarization of a planarized film layer insulation film of the TFT by moisture or impurity ions is suppressed for obtaining a uniformly bright display in a screen with few defects. **SOLUTION:** On an insulative substrate 1, a Cr gate electrode 2, gate insulation film 3 and active layer 4 consisting of a polycrystalline Si film having a source 5, channel 7 and drain 6 are formed, a layer insulation film 9 is formed on the gate insulation film 3, active layer 4 and the entire surface of a stopper insulating film 8, a drain electrode 10 is formed by charging a metal such as Al in a contact hole which is formed through the layer insulation film 9 at position corresponding to the drain 6, and a conductive layer 11 connected to a gate signal wiring G on the insulative substrate 1 is formed via contact holes 14 of the gate insulation film 3 and layer insulation film 9 on the layer insulation film 9 above the channel 7.



Data supplied from the esp@cenet database - Worldwide

特開平11-354802

(43) 公開日 平成11年(1999)12月24日

(51) Int. Cl. <sup>6</sup>	識別記号	F I		
H01L 29/786		H01L 29/78	619	A
G02F 1/136	500	G02F 1/136	500	
H01L 21/336		H01L 29/78	616	A
			617	N
			627	A
審査請求 未請求 請求項の数 5 O L (全 6 頁)				

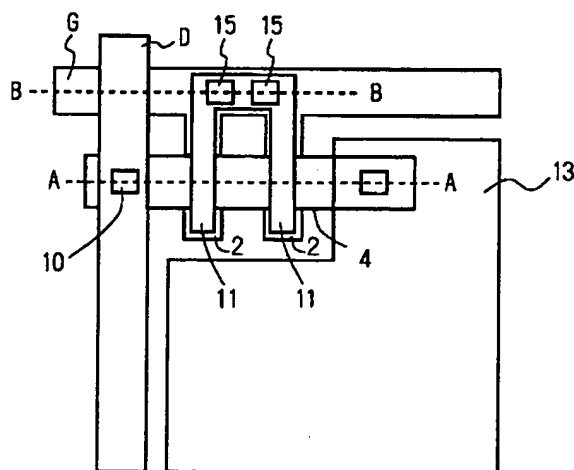
(21) 出願番号	特願平10-159131	(71) 出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通 2 丁目 5 番 5 号
(22) 出願日	平成10年(1998) 6 月 8 日	(72) 発明者	佐野 景一 大阪府守口市京阪本通 2 丁目 5 番 5 号 三 洋電機株式会社内
		(72) 発明者	瀬川 泰生 大阪府守口市京阪本通 2 丁目 5 番 5 号 三 洋電機株式会社内
		(72) 発明者	田淵 規夫 大阪府守口市京阪本通 2 丁目 5 番 5 号 三 洋電機株式会社内
		(74) 代理人	弁理士 安富 耕二 (外 1 名) 最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ及び表示装置

(57) 【要約】

【課題】 水分あるいは不純物イオンによって TFT の平坦化膜又は層間絶縁膜の分極の発生による閾値電圧の変化を抑制し、欠点が少なく面内で均一な明るさの表示が得られる TFT 及び表示装置を提供する。

【解決手段】 絶縁性基板 1 上に、Cr からなるゲート電極 2、ゲート絶縁膜 3、多結晶シリコン膜からなりソース 5、チャネル 7 及びドレイン 6 を備えた能動層 4 を形成し、ゲート絶縁膜 3、能動層 4 及びストッパ絶縁膜 8 上の全面に、層間絶縁膜 9 を形成する。この層間絶縁膜 9 に設けたコンタクトホール 10 のドレイン 6 に対応した位置に A 1 等の金属を充填してドレイン電極 10 を形成するとともに、同時にチャネル 7 の上方であって層間絶縁膜 9 の上に、ゲート絶縁膜 3 及び層間絶縁膜 9 に設けられたコンタクトホール 14 を介して、絶縁性基板 1 上のゲート信号配線 G と接続されている導電層 11 を形成する。



## 【特許請求の範囲】

【請求項1】 絶縁性基板上に、ゲート電極、ゲート絶縁膜、チャネルを備えた半導体膜、層間絶縁膜、及び平坦化絶縁膜を備えており、前記層間絶縁膜上または前記平坦化絶縁膜上で且つ前記チャネル上方に導電層を備え、前記チャネル上方における前記導電層のチャネル長方向の幅は前記チャネルのチャネル長よりも狭く、且つ前記導電層は前記ゲート電極の端部及び前記チャネルのチャネル長方向の端部と非重畳であることを特徴とする薄膜トランジスタ。

【請求項2】 前記導電層は、前記ゲート電極と接続されていることを特徴とする請求項1に記載の薄膜トランジスタ。

【請求項3】 前記導電層は、フローティング電位または定電位であることを特徴とする請求項1または2に記載の薄膜トランジスタ。

【請求項4】 前記導電層と前記半導体層との間に設ける絶縁膜は、シリコン酸化膜、シリコン窒化膜若しくは有機膜各単体または該各膜の積層体からなっており、且つ前記絶縁膜の膜厚合計は5000Å以上であることを特徴とする請求項1乃至3のうちいずれか1項に記載の薄膜トランジスタ。

【請求項5】 請求項1乃至4のうちいずれか1項に記載の薄膜トランジスタを備えたことを特徴とする表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、絶縁膜を備えた薄膜トランジスタ（Thin Film Transistor：以下、「TFT」と称する。）及びそのTFTをスイッチング素子として用いた表示装置に関する。

## 【0002】

【従来の技術】近年、各種表示装置、例えばアクティブマトリクス方式の液晶表示装置（Liquid Crystal Display：以下、「LCD」と称する。）の駆動ドライバ素子あるいは画素駆動素子として多結晶シリコン膜を能動層として用いたTFTの開発が進められている。

【0003】以下に従来のTFTを備えたLCDについて説明する。

【0004】図8に従来の表示画素部のTFT平面図を示し、図9に図8中のE-E線に沿ったTFTを用いたLCDの断面図を示す。

【0005】図8に示すように、画素部のTFTは、ゲート信号を供給するゲート信号線Gと映像信号を供給するドレイン信号線Dとの交差点付近に設けられており、そのソースは表示電極に接続されている。

【0006】図9に従ってTFTの構造について説明する。

【0007】石英ガラス、無アルカリガラス等からなる絶縁性基板1上に、クロム（Cr）、モリブデン（M

o）などの高融点金属からなるゲート電極2、ゲート絶縁膜3、及び多結晶シリコン膜からなる能動層4を順に形成する。

【0008】その能動層4には、ゲート電極2上方のチャネル7と、チャネル7の両側に、チャネル7上のストッパ絶縁膜8をマスクにしてイオン注入されて形成されるソース5及びドレイン6が設けられている。

【0009】そして、ゲート絶縁膜3、能動層4及びストッパ絶縁膜8上の全面に、SiO<sub>2</sub>膜、SiN膜及びSiO<sub>2</sub>膜が積層された層間絶縁膜9を形成し、ドレイン6に対応して設けたコンタクトホールにAl等の金属を充填してドレイン電極10を形成する。更に全面に例えば有機樹脂から成り表面を平坦にする平坦化膜12を形成する。そして、その平坦化膜12のソース5に対応した位置にコンタクトホールを形成し、このコンタクトホールを介してソース5とコンタクトしたITO（Indium Thin Oxide）から成りソース電極を兼ねた透明電極である表示電極13を平坦化膜12上に形成する。そしてその表示電極13上にポリイミド等の有機樹脂からなり液晶24を配向させる配向膜14を形成する。

【0010】こうして作成されたTFTを備えた絶縁性基板1と、この基板1に対向した対向電極21及び配向膜22を備えた対向基板20とを周辺をシール接着剤23により接着し、形成された空隙に液晶24を充填する。

## 【0011】

【発明が解決しようとする課題】ところが、こうした従来のTFTの構造においては、硬化時に発生するシール接着剤からの不純物あるいは不純物イオン、又は液晶24中の水分あるいは不純物イオン、又はシール接着剤23の剥がれて浮いた箇所25を介して外部から進入する水分、あるいは平坦化膜12が大気に触れることにより付着する大気中の水分等が平坦化膜12表面に付着しその平坦化膜12表面に電荷を帯びてしまい、平坦化膜12又は層間絶縁膜9のそれぞれの膜の上下で分極が発生する。

【0012】そのため、TFTにバックチャネルが形成されてしまい、TFTの閾値電圧が変化してしまうという欠点があった。

【0013】また、このTFTをLCDに用いた場合においても、TFTの閾値電圧が増加する方向に変化するとTFTのオン電流が低下し、逆に閾値電圧が減少する方向に変化するとオフ電流が増加し、ともに画素が常に輝く輝点欠陥が発生することになり良好な表示が得られないとともに、また各TFTにおいて閾値電圧がばらつくことになると面内で均一な明るさの表示を得ることができないという欠点があった。

【0014】そこで本発明は、上記の従来の欠点に鑑みて為されたものであり、TFT上の平坦化膜又は層間絶縁膜の分極を抑制させることによって、閾値電圧の安定

したTFT、及び輝点等の欠陥を低減し面内で均一な明るさの表示を得ることができるLCDを提供することを目的とする。

【0015】

【課題を解決するための手段】本発明のTFTは、絶縁性基板上に、ゲート電極、ゲート絶縁膜、チャンネルを備えた半導体膜、層間絶縁膜、及び平坦化絶縁膜を備えており、前記層間絶縁膜上または前記平坦化絶縁膜上で且つ前記チャンネル上方に導電層を備え、前記チャンネル上方における前記導電層のチャンネル長方向の幅は前記チャンネルのチャンネル長よりも狭く、且つ前記導電層は前記ゲート電極の端部及び前記チャンネルのチャンネル長方向の端部と非重量である。

【0016】また、導電層は、ゲート電極と接続されている。

【0017】更に、導電層は、フローティング電位または定電位である。

【0018】更にまた、導電層と半導体層との間に設ける絶縁膜は、シリコン酸化膜、シリコン窒化膜若しくは有機膜各単体、またはそれら各膜の積層体からなっており、且つ絶縁膜の膜厚合計は5000Å以上である。

【0019】更にまた、本発明は、上述の薄膜トランジスタを備えた表示装置である。

【0020】

【発明の実施の形態】以下に本発明のTFTについて説明する。

【0021】図1に本発明の表示画素部のTFT平面図を示し、図2に図1中のA-A線に沿ったLCDの断面図を示し、図3に図1中のB-B線に沿ったTFTの断面図を示す。

【0022】図1に示すように、ゲート電極2を一部に有するゲート信号線Gとドレイン電極10を一部に有するドレイン信号線Dとの交差点付近に、表示電極13を接続したTFTが設けられている。

【0023】図2に示すように、石英ガラス、無アルカリガラス等からなる絶縁性基板1上に、Cr、Mo等の高融点金属からなるゲート電極2、SiN膜及びSiO<sub>2</sub>膜から成るゲート絶縁膜3及び多結晶シリコン膜からなる能動層4を順に形成する。

【0024】その能動層4には、ゲート電極2上方のチャンネル7と、そのチャンネル7の両側にイオン注入されて形成されたソース5及びドレイン6とが設けられている。

【0025】チャンネル7の上には、ソース5及びドレイン6を形成する際のイオン注入時にチャンネル7にイオンが入らないようにチャンネル7を覆うマスクとして機能するSiO<sub>2</sub>膜から成るストップ絶縁膜8が設けられる。

【0026】そして、ゲート絶縁膜3、能動層4及びストップ絶縁膜8上の全面に、SiO<sub>2</sub>膜、SiN膜及びSiO<sub>2</sub>膜が積層された層間絶縁膜9を形成する。この

層間絶縁膜9は、SiO<sub>2</sub>、SiN、またはアクリル等の有機材料からなる有機膜の各単体、またはこれらのいずれかの組み合わせの多層体からなる。

【0027】次に、その層間絶縁膜9に設けたコンタクトホールにドレイン6に対応した位置にAl単体、あるいはMo及びAlを順に積層するなどした金属を充填してドレイン電極10を形成する。このときドレイン電極10の形成と同時にチャンネル7の上方であって層間絶縁膜9の上に導電層11を形成する。即ち、Al単体、あるいはMo及びAlを順に積層するなどした金属からなる導電層11を形成する。

【0028】図3に示すように、層間絶縁膜9上に設けた導電層11は、ゲート絶縁膜3及び層間絶縁膜9に設けられたコンタクトホール14を介して、絶縁性基板1上のゲート信号配線Gと接続されている。ドレイン信号線Dは層間絶縁膜9の上に設けられている。そして全面に例えば有機樹脂からなる平坦化膜12を形成する。この平坦化膜12のソース5に対応した位置にコンタクトホールを形成し、ソース5にコンタクトしたITO等の透明導電材料から成りソース電極を兼ねた透明電極である表示電極13を形成する。その上には液晶24を配向させる配向膜15を形成する。

【0029】なお、導電層11と能動層4との間の絶縁膜、即ち本実施形態においてはストップ絶縁膜8及び層間絶縁膜9の膜厚合計は5000Å以上とする。そうすることにより、導電層11と能動層4との距離が大きくなるため互いの影響を抑制することができるとともに、絶縁膜のピンホール発生の確率も極めて小さくなりTFTの特性向上が図れる。

【0030】こうして作製されたTFTを備えた絶縁性基板1と、この基板1に対向した対向電極21及び配向膜22を備えた対向基板20とを周辺をシール接着剤23により接着し、形成された空隙に液晶24を充填してLCDが完成する。

【0031】ここで、本発明におけるチャンネルについて図4乃至図6に従って説明する。

【0032】図4に、いわゆるオフセット構造を有するTFTの図1中A-A線に沿った断面図を示す。

【0033】同図に示すように、ゲート絶縁膜3上に設けた能動層4には、ゲート電極2の両側に高濃度にイオン注入したドレイン5（図中dの領域）及びソース6（図中eの領域）が設けられている。またそのドレイン5とゲート電極2の端部との間の領域（図中b1の領域）、ソース6とゲート電極2の端部との間の領域（図中c1の領域）、及び両ゲート電極間の領域（図中b2、c2）はイオンが注入されていないいわゆるオフセット領域35、36、37が設けられている。このときゲート電極2と重畳した能動層4の領域がチャンネルである。即ち、図中a1、a2で示す領域が本発明におけるチャンネル長である。

【0034】図5に、いわゆるLDD (Lightly Doped Drain) 構造を有するTFTの図1中A-A線に沿った断面図を示す。

【0035】同図に示すように、能動層4には、ゲート電極2の両側に高濃度にイオン注入したドレイン5 (図中dの領域) 及びソース6 (図中eの領域) が設けられており、さらにそのドレイン5とゲート電極2の端部との間の領域 (図中b1の領域)、ソース6とゲート電極2の端部との間の領域 (図中c1の領域)、及び両ゲート電極の間の領域 (図中b2、c2) には低濃度のイオンが注入されているいわゆるLDD領域が設けられている。また、このLDD領域38とLDD領域39との間の能動層4がチャンネルである。即ち、図中a1、a2で示す領域が本発明におけるチャンネル長である。

【0036】図6に、能動層にソース及びドレインを形成したTFTの図1中A-A線に沿った断面図を示す。

【0037】同図に示すように、能動層4には、ゲート電極2の両側に高濃度にイオン注入したドレイン5 (図中dの領域) 及びソース6 (図中eの領域) が設けられている。この場合には、ドレイン5とソース6の間がチャンネルである。即ち、図中のaで示す領域 (図中a1、a2) が本発明におけるチャンネル長である。

【0038】ここで、導電層11は図1及び図2に示すように、ゲート信号線Gの一部であるゲート電極2及びその上方に設けたチャンネル7と重畳している。しかし、導電層11の端部は、ゲート電極2及びチャンネル7の端部とは重畳しないように配置する。

【0039】その効果についてLDD領域を備えたTFTの場合について説明する。

【0040】図5において、導電層11がa以上の幅でありその端部がLDD領域と重畳した場合には、本実施の形態のように導電層11とゲート電極2が接続されていると、導電層11とLDD領域の重畳部において強い電界が生じて層間絶縁膜9を介して導電層11と能動層4との間にリーク電流や電荷発生などの劣化が生じることになる。このリーク電流を抑制するために層間絶縁膜9の緻密化など高品質のものとすることが考えられるが成膜時間の増大などスループットが低下してしまうことになる。

【0041】また導電層11とLDD領域とが重畳すると、ゲートとソースとの間の容量が増大してしまうことになる。

【0042】ところが、本発明のように、導電層11をチャンネル7及びゲート電極2よりも小さい幅とし且つ導電層11がチャンネル7端部及びゲート電極2端部と重畳しないようにすることにより、上述の劣化、容量の増大を抑制することができる。なお、LDD領域との重畳のみならず、オフセット領域との重畳の場合にも同様の効果を得ることができる。

【0043】以上のように、チャンネル及びゲート電極の

幅よりも小さくかつそれらの端部と重畳しないように導電層を設けることにより、層間絶縁膜表面への不純物付着の防止ができ、それによって層間絶縁膜表面への電荷の蓄積を防止できるとともに、閾値電圧の安定したTFTを得ることができ、輝点等の欠陥を低減し面内で均一な明るさの表示の得られるLCDを得ることができる。

【0044】なお、導電層11は、図7に示すように導電層11が第1の実施形態のようにゲート電極と接続されておらず、フローティング電位としてもゲート電極と接続した場合と同様の効果が得られる。図7のC-C線に沿ったTFTの断面図は前述の図2と同じである。

【0045】なお、導電層11は層間絶縁膜9の上に設けられており、その幅もチャンネル7及びゲート電極2の幅よりも小さく且つ導電層11はチャンネル7及びゲート電極2の端部と重畳しないように設けられている。

【0046】なお、本発明のTFTの導電層11は、更に定電位供給配線を設けて定電位としても上述の効果が得られる。定電位は、例えば接地電位あるいは数Vの電位である。

【0047】また、導電層はゲート電極を2つ備えたいわゆるダブルゲート構造において、いずれか一方のゲート電極上に設けてもよい。

【0048】さらに、導電層は層間絶縁膜上のみならず、平坦化絶縁膜上に設けても層間絶縁膜上に設けた場合と同様の効果を得ることができる。

【0049】更にまた、導電層と能動層との間に設ける絶縁膜、例えば各実施形態の場合のストッパ絶縁膜、層間絶縁膜及び平坦化絶縁膜が、SiO膜、SiN膜若しくは有機膜の各単体からなっているとしても良く、または各膜を積層させた積層体からなっているとしても良い。

【0050】また、本実施の形態においては、ゲート電極が能動層よりも下にあるいわゆるボトムゲート型TFTについて説明したが、本発明はゲート電極が能動層よりも上にあるいわゆるトップゲート型TFTに採用しても同様の効果がある。

【0051】また、上述の各実施の形態においては、本発明のTFTをLCDに用いた場合について示したが、本発明はそれに限定されるものではなく、例えば有機EL (Electro Luminescence) 表示装置にも採用が可能であり、上述の効果と同様の効果が得られる。

【0052】

【発明の効果】本発明によれば、層間絶縁膜の上下で分極するのを防止できるため、バックチャンネル発生を抑制し閾値電圧の安定したTFTを得ることができ、輝点等の欠陥を低減し面内で均一な明るさの表示の得られる表示装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態を示すTFTの平面図である。

【図2】本発明の第1実施形態を示すLCDの断面図で

7

8

ある。

【図 3】本発明の第 1 実施形態を示す LCD の断面図である。

【図 4】本発明の第 1 実施形態を示す TFT の断面図である。

【図 5】本発明の第 1 実施形態を示す TFT の断面図である。

【図 6】本発明の第 1 実施形態を示す TFT の断面図である。

【図 7】本発明の第 2 実施形態を示す TFT の平面図である。

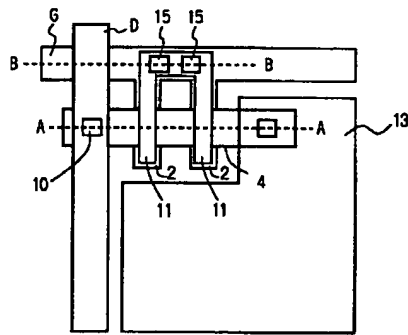
【図 8】従来の TFT の平面図である。

【図 9】従来の LCD の断面図である。

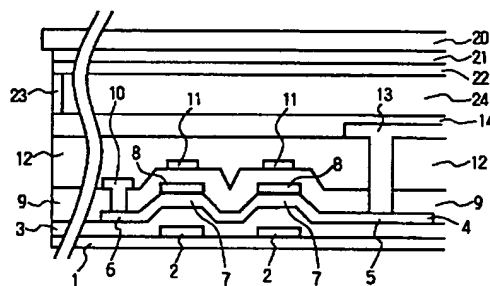
【符号の説明】

- |        |         |
|--------|---------|
| 1      | 絶縁性基板   |
| 2      | ゲート電極   |
| 4      | 能動層     |
| 5      | ソース     |
| 6      | ドレイン    |
| 7      | チャンネル   |
| 8      | ストップ絶縁膜 |
| 9      | 層間絶縁膜   |
| 11     | 導電層     |
| 12     | 平坦化絶縁膜  |
| 13     | 表示電極    |
| 24     | 液晶      |
| 35, 36 | オフセット領域 |
| 38, 39 | LDD領域   |

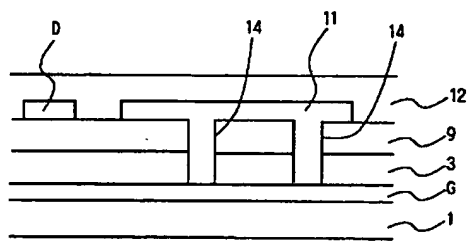
【図 1】



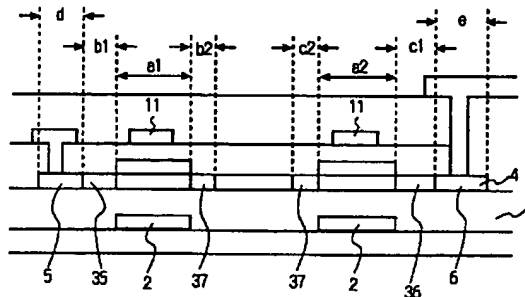
【図 2】



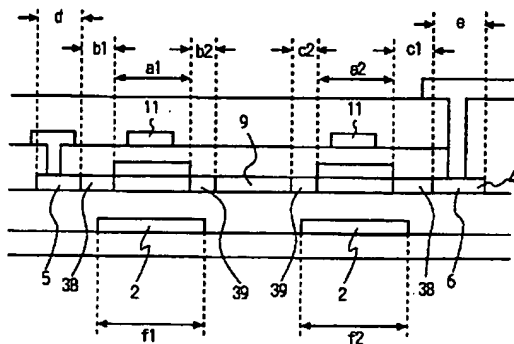
【図 3】



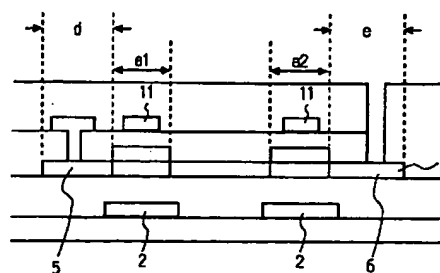
【図 4】



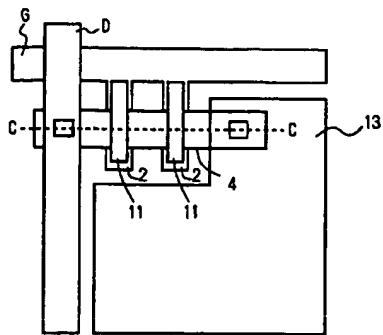
【図 5】



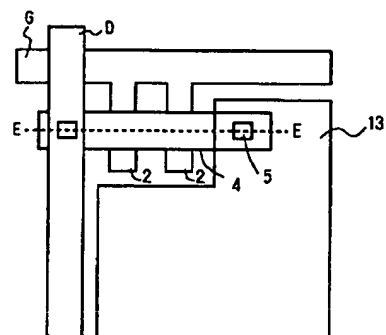
【図 6】



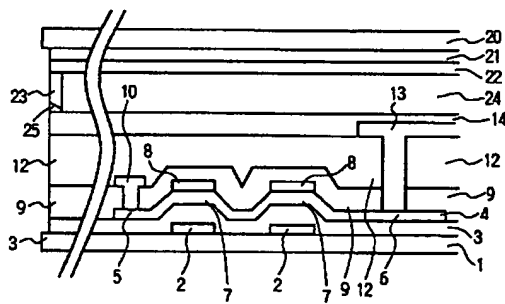
【図 7】



【図 8】



【図 9】



フロントページの続き

(72)発明者 山田 努  
大阪府守口市京阪本通 2 丁目 5 番 5 号 三  
洋電機株式会社内